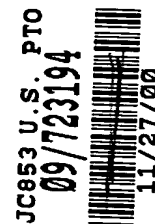


#

7

9-11-02

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年11月29日

出 願 番 号

Application Number:

平成11年特許願第337871号

出 願 人

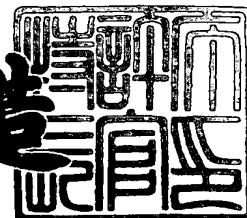
Applicant(s):

安藤電気株式会社

2000年10月13日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2000-3083508

【書類名】 特許願

【整理番号】 S99-10-7

【あて先】 特許庁長官殿

【国際特許分類】 H03M 13/00  
H04L 1/00

【発明者】

【住所又は居所】 東京都大田区蒲田 4 丁目 1 9 番 7 号 安藤電気株式会社  
内

【氏名】 根木 啓二

【特許出願人】

【識別番号】 000117744

【氏名又は名称】 安藤電気株式会社

【代理人】

【識別番号】 100099195

【弁理士】

【氏名又は名称】 宮越 典明

【選任した代理人】

【識別番号】 100113767

【弁理士】

【氏名又は名称】 杉崎 一也

【手数料の表示】

【予納台帳番号】 030889

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9909752

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 パターン同期回路

【特許請求の範囲】

【請求項 1】 パラレル信号入力端子より入力された  $n$  ビットのパラレル信号を 2 つに分岐する分岐手段と、

前記分岐手段により、分岐されたパラレル信号の一方を入力とし、パラレル信号中のフレーム識別パターンを検出し、その位置情報を出力するフレーム検出手段と、

前記分岐手段により、分岐されたパラレル信号のもう一方を入力とし、フレーム検出手段の出力するフレーム位置情報の下位ビットにより、パラレル信号の並び換えを行う第一の並び換え手段と、

前記第一の並び換え手段の出力を、さらに、フレーム検出手段の出力するフレーム位置情報の全ビットにより、再度パラレル信号の並び換えを行う第二の並び換え手段と、

を有することを特徴とするパターン同期回路。

【請求項 2】 前記第一の並び換え手段は、パラレル信号の 1 ビット目から  $n/1$  ビット目を入力とし、フレーム検出手段の出力するフレーム位置情報の下位ビットにより、シフト操作行う 1 個のシフト手段と、

それぞれ、連続したパラレル信号中の  $n/1$  ビットを入力とし、フレーム検出手段の出力するフレーム位置情報の下位ビットにより、並び換え操作を行う  $(1 - 1)$  個の並び換え手段と、

を有することを特徴とする請求項 1 記載のパターン同期回路。

【請求項 3】 前記第二の並び換え手段は、前記第一の並び換え手段を  $m$  ビットごとにサンプリングしたデータを入力とし、信号を遅延させる遅延手段と、

それぞれ他とは異なる前記第一の並び換え手段を  $m$  ビットごとにサンプリングしたデータを入力とし、フレーム検出手段の出力するフレーム位置情報の下位ビットにより、並び換え操作行う  $(m - 1)$  個の並び換え手段と、

前記遅延手段と前記並び換え手段と出力をそれぞれ入力とし、フレーム検出手

段の出力するフレーム位置情報の上位ビットにより、シフト操作行う m 個のシフト手段と、

を有することを特徴とする請求項 1 記載のパターン同期回路。

【請求項 4】 前記シフト手段は、前記フレーム位置情報により、パラレル信号の並びを入れ替えないで、ビットをシフトさせる、ことを特徴とする請求項 2 または 3 記載のパターン同期回路。

【請求項 5】 前記並び換え手段は、フレーム位置情報により、パラレル信号の同一クロックにおけるビットの並びを入れ替える、ことを特徴とする請求項 2 または 3 記載のパターン同期回路。

【請求項 6】 前記フレーム検出手段の出力するフレーム位置情報の下位ビットは、第二の並び換え手段と構成するシフト手段の個数 m の値を表せるだけのビット数を有する、ことを特徴とする請求項 1 ～ 3 のいずれかに記載のパターン同期回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、フレーム信号を評価するパターン評価装置において、入力された評価パターンをシリアルーパラレル変換した後の信号に対して、信号評価が可能となるように並列信号の並び替えを行うパターン同期回路に関する。

【0 0 0 2】

【従来の技術】

伝送装置試験には、フレーム識別パターンを持ったフレーム信号が使用される。この種の試験において、実際の伝送規格に基づいたパターンがパルスパターン発生装置より出力され、評価デバイス装置に入力して、その出力をパターン評価装置や、オシロスコープ等で観測を行う。

パターン評価装置は、通常、受信信号に対して、シリアルーパラレル変換を行い、処理しやすい信号速度に落として、評価を行う。ところが、受信信号の入力するタイミングは、決まっていないため、シリアルーパラレル変換後の信号は、フレームの先頭位置が定まっていない。そのため、フレーム識別パターンを検出

して、パラレル信号の並び換えを行い、以降の評価が行えるようにする必要がある。

#### 【0003】

図11に、シリアルーパラレル変換後のパターン評価装置の構成を示す。図11において、1は受信信号をn本のパラレル信号に変更した信号が入力されるパラレル信号入力端子、2はクロック入力端子、31は分岐回路、32はフレーム検出回路、33はシフト回路、34は測定回路、35はフレーム位置信号、300はパターン同期回路である。

#### 【0004】

受信信号をn本のパラレル信号に変更した信号は、分岐回路31によって、フレーム検出回路32とシフト回路33に入力される。

クロック入力端子2には、パラレル信号の処理を行うためのクロック信号が入力されている。フレーム検出回路32では、パラレル入力信号を監視して、フレーム識別パターンの検出し、その場所を示す信号をフレーム位置信号35に出力する。シフト回路33は、パラレル入力信号の並び換えを行う並び換え回路であって、当該シフト回路33では、フレーム位置信号35により、パラレル入力信号の並び換えを行い、測定回路34にて、測定が可能な状態、すなわち、フレームの先頭がパラレル信号の先頭位置になるように出力する。

#### 【0005】

このとき、シフト回路33は、例えば、パラレル信号本数nが16本の場合、図12に示す真理値表のような処理を行うことで、パターン同期動作を実現できる。図12に示す真理値表において、SELがフレーム位置信号にあたり、SEL入力により、16ビットのパラレル信号から出力に示すように信号を選択して、出力することを表している。また、A(+1)、B(+1)、B(+1)、・・・と記載されているところは、入力A、B、C、・・・の1クロック後の信号ということを表している。

#### 【0006】

ここで、図11のシフト回路33は、回路規模が大きく、特に信号本数nが大きくなると、1つの集積回路に集積化するのが困難になる。そこで、シフト回路

3 3 を複数の集積回路で実現することになる。

【0 0 0 7】

次に、従来技術によるパターン同期回路を図 7 を用いて説明する。図 7 において、1 は平行信号入力端子、2 はクロック入力端子、3 は平行信号出力端子、2 1 は分岐回路、2 2 はフレーム検出回路、2 3 はシフト部、2 4 a ~ d はシフト部 2 3 を構成するシフト回路 A ~ D、2 5 はフレーム位置信号である。図 7 においては、シフト部 2 3 は、複数のシフト回路 2 4 a ~ d により、構成されている。そのため、一つあたりのシフト回路は、平行信号本数 n を並び換え集積回路の個数 m で割った本数のデータの処理を行う。

【0 0 0 8】

平行信号入力端子 1 に入力された信号は、分岐回路 2 1 によって、フレーム検出回路 2 2、及び、全てのシフト回路 2 4 a ~ d に分岐される。フレーム検出回路 2 2 は、平行信号中にフレーム識別パターンを検出し、フレーム位置信号 2 5 に、信号を出力する。フレーム位置信号 2 5 は、全てのシフト回路 2 4 a ~ d に接続され、シフト回路 2 4 a ~ d は、フレーム位置信号 2 5 によって、平行信号の並び換えを行う。

【0 0 0 9】

図 8、及び、図 9 に例として、平行信号本数 n を 1 6 ビット、シフト回路を 4 個使用した時のシフト回路 A、シフト回路 B の動作を示す真理値表を示す。

フレーム位置信号が 0 の時には、シフト回路 A は、D 0 ~ D 3 に入力されている A、B、C、D を出力する。その時、シフト回路 B は、シフト回路 2 4 a が出力している続きの信号を出力するため、D 4 ~ D 7 に入力されている E、F、G、H を出力する。また、フレーム位置信号が 1 の時には、シフト回路 2 4 a は、D 1 ~ D 4 に入力されている B、C、D、E を出力し、シフト回路 2 4 b は、シフト回路 2 4 a が出力している続きの信号である、F、G、H、I を出力する。シフト回路 2 4 c、シフト回路 2 4 d の動作真理値表を省略しているが、図 8、9 の真理値と同様に導ける。

【0 0 1 0】

図 7 のパターン同期回路 2 0 0 の動作を図 1 0 を用いて、具体的に説明する。

パラレル信号入力の本数を 16 ビットとして、説明のために、16 ビットのパラレル信号を a、b、c、・・・、o、p と記載し、フレームの先頭は a で始まるとする。また、p ( - 1 ) 等は、p の 1 クロック前のビットであることを示すとする。

## 【0 0 1 1】

図 10 では、入力信号のフレームはパラレル信号入力端子の B I T 7 から始まる例を示している。フレーム検出回路 22 は、B I T 7 からフレームが始まっていることを検出すると、フレーム位置信号 25 に 7 を出力する。すると、シフト回路 24 a は、16 ビットのパラレル信号から、B I T 7 ~ 10 を選択し、また、シフト回路 24 b は、B I T 11 ~ 13 を選択し出力する。同様に、シフト回路 24 c、24 d も入力信号からそれぞれ対応した 4 ビットを選択することで、全体として、パラレル信号の B I T 0 からフレームの先頭が始まる出力信号が得られる。

## 【0 0 1 2】

ここで、フレームのスタート位置を全ての状態に対応するためには、全てのシフト回路 24 a ~ d には、入力されるパラレル信号の全ての情報を入力する必要がある。そのために、分岐回路で、入力信号の全ビットを全てのシフト回路 24 a ~ d に分岐している。そして、全てのシフト回路 24 a ~ d には、入力信号のパラレルビット数 n だけの入力 I O 数が必要となる。

## 【0 0 1 3】

以上のように、従来技術によるパターン同期回路は、パラレル信号入力端子 1 に入力されたパラレル信号の全ビットを分岐回路 21 によって、分岐し、シフト部 23 を構成する全てのシフト回路 24 a ~ d に入力する。そして、それぞれのシフト回路 24 a ~ d は、フレーム検出回路 22 の出力するフレーム位置信号 25 に基づいて、入力信号から出力信号のパラレル信号本数 n を並び換え集積回路の個数で割った分の信号数だけを選択して出力する。全てのシフト回路 24 a ~ d の出力をまとめることにより、フレームがパラレル信号の B I T 0 から始まっている出力信号が得られる。

## 【0 0 1 4】

## 【発明が解決しようとする課題】

しかしながら、上述した従来のパターン同期回路においては、全てのシフト回路に入力信号を分岐するため、パラレル信号本数  $n$ 、及び、シフト回路の個数  $m$  に比例して、配線数が多くなる。また、シフト回路にはパラレル信号入力の全ビットが入力されるため、パラレル信号本数  $n$  が大きくなればなるほど、シフト回路の I/O 数が多くなり、大きなパッケージが必要となる。そのため、パターン同期回路の小型化が困難である。

## 【0015】

本発明は、特に、パラレル入力信号本数  $n$  が大きくなり、複数の集積回路により並び換え回路を構成した場合、素子間の配線数を少なく、また、素子の I/O 数を少なくして、小型に実現できるパターン同期回路を提供することを目的とする。

## 【0016】

## 【課題を解決するための手段】

この発明は、パターン同期回路の構成を次のとおりにより前記目的を達成することができる。

1. パラレル信号入力端子された  $n$  ビットのパラレル信号を 2 つに分岐する分岐手段と、分岐手段により、分岐されたパラレル信号の一方を入力とし、パラレル信号中のフレーム識別パターンを検出し、その位置情報を出力するフレーム検出手段と、前記分岐手段により、分岐されたパラレル信号のもう一方を入力とし、フレーム検出手段の出力するフレーム位置情報の下位ビットにより、パラレル信号の並び換えを行う第一の並び換え手段と、前記第一の並び換え手段の出力を、さらに、フレーム検出手段の出力するフレーム位置情報の全ビットにより、再度パラレル信号の並び換えを行う第二の並び換え手段とから構成される。

## 【0017】

2. 前記第一の並び換え手段は、パラレル信号の 1 ビット目から  $n/1$  ビット目を入力とし、フレーム検出手段の出力するフレーム位置情報の下位ビットにより、シフト操作を行う 1 個のシフト手段と、それぞれ、連続したパラレル信号中の  $n/1$  ビットを入力とし、フレーム検出手段の出力するフレーム位置情報の下位



ビットにより、並び換え操作を行う（1 - 1）個の並び換え手段と、を有する。  
ことを特徴としている。

3. 前記第二の並び換え手段は、前記第一の並び換え手段を m ビットごとにサンプリングしたデータを入力とし、信号を遅延させる遅延手段と、それぞれ他とは異なる前記第一の並び換え手段を m ビットごとにサンプリングしたデータを入力とし、フレーム検出手段の出力するフレーム位置情報の下位ビットにより、並び換え操作行う（m - 1）個の並び換え手段と、前記遅延手段と前記並び換え手段と出力をそれぞれ入力とし、フレーム検出手段の出力するフレーム位置情報の上位ビットにより、シフト操作行う m 個のシフト手段と、を有する。

【0 0 1 8】

4. 前記 2 ～ 3 のシフト手段は、フレーム位置情報により、パラレル信号の並びを入れ替えないで、ビットをシフトさせる。

【0 0 1 9】

5. 前記 2 ～、3 の並び換え手段は、フレーム位置情報により、パラレル信号の同一クロックにおけるビットの並びを替える。

【0 0 2 0】

6. 前記フレーム検出手段の出力するフレーム位置情報の下位ビットは、第二の並び換え手段と構成するシフト手段の個数 m の値を表せるだけのビット数を有する。

【0 0 2 1】

#### 【発明の実施の形態】

次に、本発明について、図面を参照して説明する。図 1 は本発明の実施の形態を示すブロック図である。図 1 において、1 はパラレル信号入力端子、2 はクロック入力端子、3 はパラレル信号出力端子、4 は分岐回路、5 はフレーム検出回路、6 は第一の並び換え部、7 は第二の並び換え部、8 は第一の並び換え部のシフト回路、9 a ～ c は第一の並び換え部の並び換え回路、1 0 は遅延回路、1 1 a ～ c は第二の並び換え部の並び換え回路、1 2 a ～ d は、第二の並び換え部のシフト回路、1 3 はフレーム位置信号の下位ビット、1 4 はフレーム位置信号の上位ビットである。

## 【0022】

次に、図1のブロック図について、簡単に説明する。パラレル信号入力端子1には、従来例と同様に、被測定信号をシリアル-パラレル変換したnビットのパラレル信号が入力される。また、クロック入力端子2に入力されるクロックで、パターン同期回路100は動作し、処理されたnビットのパラレル信号がパラレル信号出力端子3に出力される。

## 【0023】

パラレル信号入力端子1に入力されたデータは、分岐回路4により、フレーム検出回路5と第一の並び換え部6に分配される。フレーム検出回路5は、従来例と同様に、入力された信号から、フレーム識別パターンを監視し、フレーム識別パターンが並列信号のどのビットからスタートしているかを検出し、その結果をフレーム位置信号の下位ビット13、フレーム位置信号の上位ビット14に出力する。

## 【0024】

第一の並び換え部6においては、フレーム位置信号の下位ビット13を入力とし、分岐回路4が分岐した信号の他方の処理を行う。第一の並び換え部6は、並列に動作する構成要素数を1とすると、1個のシフト回路8と(1-1)個の並び換え回路9a~cにより、構成される。図1のブロック図では、例として、1を4として、記載されているが、1の値は任意であり、その他の値でも同様の効果が得られる。シフト回路8、並び換え回路9a~cは、それぞれ、パラレル信号本数nを並列に動作する構成要素数mで割った信号本数を入力とし、処理を行う。第一の並び換え部のシフト回路8には、パラレル信号のBIT0~(n/1-1)が入力され、並び換え回路9aには、BIT(n/1)~(2n/1-1)、並び換え回路9bには、BIT(2n/1)~(3n/1-1)、並び換え回路9cには、BIT(3n/1)~(4n/1-1)というように、パラレル信号のシリアル時のビット順に、それぞれの構成要素に入力される。

## 【0025】

第一の並び換え部のシフト回路8は、例えば、シフト回路8の入力数が4の時、図2に示すような動作をする。シフト回路8は、SEL入力、すなわち、フレ

ーム位置信号の下位ビット 1 3 の状態により、入力信号を並列方向にビットがシフトさせる処理を行う。例えば、SEL が 0 の時には、何も処理をしないでデータを出力し、SEL が 1 の時には、Q 0 には、D 1 に入力されている信号、Q 1 には、D 2 に入力されている信号、Q 2 には、D 3 に入力されている信号、そして、Q 3 には、D 0 に入力されている信号を 1 クロックだけ遅らせた信号を出力する。SEL が 2, 3 の時には、さらに続く同様のシフトをしたデータを出力する。

#### 【0 0 2 6】

また、第一の並び換え部の並び換え回路 9 a - c は、例えば、並び換え回路 9 a - c の入力数が 4 の時、図 3 に示すような動作をする。並び換え回路 9 a - c は、SEL 入力、すなわち、フレーム位置信号の下位ビット 1 3 の状態により、入力信号の同一クロックのビット内で並び換えの処理を行う。例えば、SEL が 0 の時には、何も処理をしないでデータを出力し、SEL が 1 の時には、Q 0 には、D 1 に入力されている信号、Q 1 には、D 2 に入力されている信号、Q 2 には、D 3 に入力されている信号、そして、Q 3 には、D 0 に入力されている信号を出力する。SEL が 2, 3 の時には、さらに続く同様の入れ替えを行ったデータを出力する。

#### 【0 0 2 7】

上記のように、フレーム位置信号の下位ビット 1 3 を基に、第一の並び換え部のシフト回路 8、第一の並び換え部の並び換え回路 9 a - c によって、まず、第一段階の並び換え処理が行われる。第一の並び換え部 6 を出力した n ビットの平行信号は、第二の並び換え部 7 に入力される。

#### 【0 0 2 8】

第二の並び換え部 7 においては、1 個の遅延回路 1 0、フレーム位置信号の下位ビット 1 3 により処理を行う (m - 1) 個の並び換え回路 1 1 a ~ c と、フレーム位置信号の上位ビット 1 4 により処理を行う m 個のシフト回路 1 2 a ~ d により構成される。図 1 のブロック図では、例として、m を 4 とし、記載されているが、1 の値と同様、m の値は任意であり、その他の値でも良い。

#### 【0 0 2 9】

第二の並び換え部 7 に入力された信号は、遅延回路 1 0 には、 $BIT_0$ 、 $BIT_m$ 、 $BIT_{2m}$ 、 $\dots$ 、 $BIT_{(n-1) \cdot m}$  というように、 $m$  ビット毎にサンプリングした信号が入力される。また、次の並び換え回路 1 1 a においては、 $BIT_1$ 、 $BIT_{(m+1)}$ 、 $BIT_{(2m+1)}$ 、 $\dots$ 、 $BIT_{((n-1) \cdot m+1)}$  というように、遅延回路 1 0 に入力されている信号を 1 ビットシフトした信号が入力される。同様に、並び換え回路 1 1 b には、並び換え回路 1 1 a の 1 ビットシフトした信号、並び換え回路 1 1 c には、並び換え回路 1 1 b をさらに 1 ビットシフトとした信号が入力される。

## 【0030】

遅延回路 1 0、並び換え回路 1 1 a ~ c の出力は、同じ系列のシフト回路 1 2 a ~ d に、入力される。シフト回路 1 2 a ~ d は、フレーム位置信号の上位ビット 1 4 により処理をおこなう。シフト回路 1 2 a ~ d により、処理された信号は、パラレル信号出力端子 3 に出力される。この時、それぞれのシフト回路 1 2 a ~ d は、入力と同じように、 $m$  ビット毎にサンプリングされた信号を出力する。

## 【0031】

第二の並び換え部 7 の動作を簡単に説明する。並び換え回路 1 1 a ~ c は、フレーム位置信号の下位ビット 1 3 を監視して、イネーブル条件にあった時に、図 4 の真理値表に示す動作をする。図 4 の真理値表に示す動作とは、図 3 の並び換え回路の真理値表において、SEL が 1 の時と同じ動作である。ここで、イネーブル条件とは、 $BIT_1$  の系列を監視する並び換え回路 1 1 a では、フレーム位置信号の下位ビット 1 3 が、 $(m-1)$  になった時のことである。また、 $BIT_2$  の系列を監視する並び換え回路 1 1 b では、フレーム位置信号の下位ビット 1 3 が、 $(m-2)$  以上になった時、 $BIT_3$  の系列を監視する並び換え回路 1 1 c では、フレーム位置信号の下位ビット 1 3 が、 $(m-3)$  以上になった時である。それぞれの第二の並び換え部の並び換え回路 1 1 a ~ c は、イネーブル条件時に図 4 の動作をし、イネーブル条件外では、そのまま処理をしないで出力する。

## 【0032】

この動作を一般的に言うと、まず、フレーム検出信号の値を第二の並び換え部

の並列処理構成数  $m$  で割る。そして、その余りが 0 以上の時は、遅延回路 1 0、並び換え回路 1 1 a ~ c は、何も処理を行わないで出力し、余りが 1 の時は、B I T (  $m - 1$  ) を処理する並び換え回路がイネーブル状態となる。また、余りが 2 の時は、B I T (  $m - 1$  ) と B I T (  $m - 2$  ) を処理する並び換え回路がイネーブル状態となる。余りが 2 以上の時は、さらに続く、B I T (  $m - 3$  ) 、 . . . を処理する並び換え回路がイネーブル状態になる。ここで、フレーム位置信号の下位ビット 1 3 とは、フレーム検出信号の値を第二の並び換え部の並列処理構成数  $m$  で割った余りのことであり、フレーム位置信号の上位ビット 1 4 とは、フレーム検出信号の値を第二の並び換え部の並列処理構成数  $m$  で割った商のことである。

#### 【 0 0 3 3 】

遅延回路 1 0 では、第二の並び換え部の並び換え回路 1 1 a ~ c が処理に必要とする時間だけを遅らせて、信号を出力する。そして、遅延回路 1 0、並び換え回路 1 1 a ~ c の出力は、同じ系列のシフト回路 1 2 a ~ d に、入力され、シフト回路 1 2 a ~ d では、フレーム位置信号の上位ビット 1 4 を基に、図 2 の真理値表に示した動作で処理される。並び換え回路 1 2 a ~ d は、S E L 入力、すなわち、フレーム位置信号の上位ビット 1 4 の状態により、入力信号を並列方向にビットがシフトさせる処理を行う。例えば、S E L が 0 の時には、何も処理をしないでデータを出力し、S E L が 1 の時には、Q 0 には、D 1 に入力されている信号、Q 1 には、D 2 に入力されている信号、Q 2 には、D 3 に入力されている信号、そして、Q 3 には、D 0 に入力されている信号を 1 クロックだけ遅らせた信号を出力する。S E L が 2, 3 の時には、さらに続く同様のシフトをしたデータを出力する。そして、シフト回路 1 2 a ~ d の出力は、パラレル信号出力端子 3 に接続され、フレーム識別パターンが B I T 0 にシフトされた信号が出力される。

#### 【 0 0 3 4 】

図 1 のパターン同期回路 1 0 0 の動作を図 5、図 6 を用いて、具体的に説明する。図 5 では、図 1 0 の従来例と同じように、パラレル信号本数  $n$  を 1 6 ビット、第一の並び換え部の並列構成要素数 1 を 4、第二の並び換え部の並列構成要素

数 $m$ を4とし、入力信号のフレームはパラレル信号入力端子のBIT 7から始まる例を示している。

【0035】

フレーム検出回路5は、BIT 7からフレームが始まっていることを検出するこの時、フレーム位置信号の下位ビット13には、フレーム位置信号の値7を第二の並び換え部の並列構成要素数 $m$ の4で割った余りで、3が出力される。また、フレーム位置信号の上位ビット14には、フレーム位置信号の値7を第二の並び換え部の並列構成要素数 $m=4$ で割った商で、1となる。

【0036】

すると、まず、フレーム位置信号の下位ビットが3であることから、図5のように、各シフト回路8、並び換え回路9 a～cの出力が得られる。すなわち、 $j(-1)$ 、 $k(-1)$ 、 $l(-1)$ 、 $m(-1)$ と入力されているシフト回路8は、図2の真理値表の動作から、 $m(-1)$ 、 $j$ 、 $k$ 、 $l$ という結果が得られ、 $n(-1)$ 、 $o(-1)$ 、 $p(-1)$ 、 $a$ と入力されている並び換え回路11 aは、図3の真理値表の動作から、 $a$ 、 $n(-1)$ 、 $o(-1)$ 、 $p(-1)$ 、という結果が得られる。結果として、図1のA点のデータとしては、 $m(-1)$ 、 $j$ 、 $k$ 、 $l$ 、 $a$ 、 $n(-1)$ 、 $o(-1)$ 、 $p(-1)$ 、・・・、 $g$ 、 $h$ というデータ列が出力される。

【0037】

次に、第二の並び換え部の動作を、図6で説明する。第二の並び換え部では、処理系列がサンプリングした信号系列で処理されるので、信号の並びを処理系列ごとに並び替えて図示した。遅延回路10では、パラレル信号のBIT 0系列のBIT 0、4、8、12が入力され、第二の並び換え部の並び換え回路11 a～cの処理に必要な時間だけ送られて出力される。図6では、BIT 0、4、8、12は、 $m(-1)$ 、 $a$ 、 $e$ 、 $i$ であるので、そのまま、 $m(-1)$ 、 $a$ 、 $e$ 、 $i$ が出力される。

【0038】

第二の並び換え部の並び換え回路11 a～cは、フレーム信号の下位ビットが3であるので、全ての並び換え回路に対して、図4に示す真理値表の動作が行わ

れる。パラレル信号の B I T 1 系列を処理する第二の並び換え部の並び換え回路 1 1 a には、j、n ( - 1 )、b、f が入力されているので、n ( - 1 ) b、f、j が出力される。パラレル信号の B I T 2、3 系列を処理する第二の並び換え部の並び換え回路 1 1 b、c についても、処理が行われ、全体として、B 点での状態の信号となる。

#### 【0 0 3 9】

その後、遅延回路 1 0 の出力はシフト回路 1 2 a、並び換え回路 1 1 a ~ c の出力はシフト回路 1 1 b ~ d に、入力される。それぞれにおいて、フレーム位置信号の上位ビットは、1 であるため、図 2 の S E L が 1 の時の動作が行われる。その結果、並び換え回路 1 2 a は、a、e、i、m というデータ列を出力し、並び換え回路 1 2 b は、b、f、j、n というデータ列、並び換え回路 1 2 c は、c、g、k、o というデータ列、並び換え回路 1 2 d は、d、h、l、p というデータ列を出力する。これは、B I T 0 から a が始まるデータ列となっている。すなわち、B I T 0 からフレームが始まるデータ列である。

#### 【0 0 4 0】

以上、説明した動作により、フレーム同期が行われる。図 5、6 の例では、B I T 7 からフレームがスタートするパターンを用いたが、その他の系列からフレームパターンが始まる場合でも、説明した操作により、パラレル信号の B I T 0 からフレームが始まるデータ列に入力データをシフトすることが可能である。

#### 【0 0 4 1】

この発明のパターン同期回路では、分岐回路において、入力データが 1 つはフレーム検出用、もう 1 つは、並び換え用に分岐される。そして、並び替え用の信号は、第一の並び換え部 6 と第二の並び換え部 7 の 2 段階で、フレーム同期処理が行われる。第一の並び換え部 6 と第二の並び換え部 7 のそれぞれの構成要素の入出力 I O 数は、パラレル信号のビット数 n を並列に動作する構成要素数 l、m で割った数で実現できる。また、第二の並び換え部 7 の同一の系列を処理する構成要素、例えば、遅延回路 1 0 とシフト回路 1 2 a は、同じパッケージに集積でき、そうした場合、第二の並び換え部 7 の構成要素も m 個の集積回路で実現できる。

## 【0 0 4 2】

なお、本発明のパターン同期回路は、上記の実施の形態において示したパターン同期回路の回路構成に限られるものではなく、同様の効果が得られる回路構成であれば、その他の回路構成であってもよいということは勿論である。

## 【0 0 4 3】

## 【発明の効果】

請求項 1 に係る発明においては、パラレル信号入力端子に入力された信号は、分岐手段により、2 つに分岐されて出力され、一方は、フレーム識別パターンの検出、他方は、並び換えて、その後の測定用の出力信号となる。

したがって、入力信号の分岐数は、最小で構成できるため、素子間の配線数が少なく構成することが可能であり、パターン同期回路の実装面積を小さく実現できるという効果を奏する。

## 【0 0 4 4】

請求項 2 に係る発明においては、第一の並び換え手段は、 $n/1$  ビットのデータ入力、及び、出力を持つ 1 個の素子に構成され、それぞれ、シフト操作、並び換え操作を行う。

したがって、それぞれの素子の I/O 数が少なく構成できる為、より小さなパッケージを使用することが可能であり、パターン同期回路の実装面積を小さくすることが可能となる効果を奏する。

## 【0 0 4 5】

請求項 3 に係る発明においては、第二の並び換え手段は、 $n/m$  ビットのデータ入力、及び、出力を持つ  $m \times 2$  個の素子に構成され、それぞれ、シフト操作、並び換え操作を行う。

したがって、それぞれの素子の I/O 数が少なく構成できる為、より小さなパッケージを使用することが可能であり、パターン同期回路の実装面積を小さくすることが可能である。また、パラレル信号の同一系列を処理する素子の組は、さらに、一つのパッケージ内に集積化可能であり、そうした場合、よりパターン同期回路の実装面積を小さくすることが可能であるという効果を奏する。

## 【0 0 4 6】



請求項 4 に係る発明においては、シフト操作は、パラレル信号をシリアル信号時の並びを変更しないで、並列方向にデータをシフトする動作であることを示している。

したがって、シフト操作は簡単な回路構成で実現可能であるため、一つのパッケージ内に集積化可能となり、パターン同期回路の実装面積を小さくすることが可能であるという効果を奏する。

【0047】

請求項 5 に係る発明においては、並び換え操作は、パラレル信号の同一クロックビットを並び換える動作であることを示している。

したがって、並び操作は簡単な回路構成で実現可能であるため、一つのパッケージ内に集積化可能となり、パターン同期回路の実装面積を小さくすることが可能であるという効果を奏する。

【0048】

請求項 6 に係る発明においては、フレーム位置情報の下位ビットは、第二の並び換え手段と構成するシフト手段の個数  $m$  の値を表せるだけのビット数で構成できることを示している。

したがって、並び換え手段を第一の並び換え手段と、第二の並び換え手段に分けたことで、フレーム位置情報は、最小の分岐数で構成でき、これにより、配線数が増加することなく、パターン同期回路の実装面積を小さくすることが可能であるという効果を奏する。

【0049】

以上詳述したように、この発明によるパターン同期回路は、分岐回路の分岐する信号本数を小さくすることができる。したがって、この発明によるパターン同期回路においては、並列に動作する構成要素の個数  $m$ 、1 に比例して、配線数が多くならない。

【0050】

また、第一、第二の並び換え部を構成するシフト回路、及び、並び換え回路の信号入力 I/O 数は、パラレル信号のビット数  $n$  を並列に動作する構成要素の個数 1 あるいは、 $m$  で割ったものとなる。

したがって、第一、第二の並び換え部を構成するシフト回路、並び換え回路は、パラレル信号本数  $n$  が大きくなっても、シフト回路の I O 数が多くなり、小さなパッケージが構成可能である。そのため、パターン同期回路の小型化が可能である。

【0 0 5 1】

以上のように、本発明は、特に、パラレル入力信号本数  $n$  が大きくなり、複数の集積回路により並び換え回路を構成した場合、素子間の配線数を少なく、また、素子の I O 数を少なくして、小型に実現できる。

【図面の簡単な説明】

【図 1】

本発明に係るパターン同期回路の一実施例のブロック図。

【図 2】

前記一実施例のシフト回路 A、及び、並び換え回路 A ~ D の動作例を示す真理値表。

【図 3】

前記一実施例のシフト回路 B ~ D の動作例を示す真理値表。

【図 4】

前記一実施例の 1 ビットシフト回路 A ~ C のイネーブル状態時の動作例を示す真理値表。

【図 5】

前記一実施例のシフト回路 6 の動作説明図。

【図 6】

前記一実施例の並び換え回路 7 の動作説明図。

【図 7】

従来例のブロック図。

【図 8】

従来例の並び換え回路 A の動作例を示す真理値表。

【図 9】

従来例の並び換え回路 B の動作例を示す真理値表。

【図 1 0】

従来例の動作説明図。

【図 1 1】

パターン同期回路の回路構成を説明するブロック図。

【図 1 2】

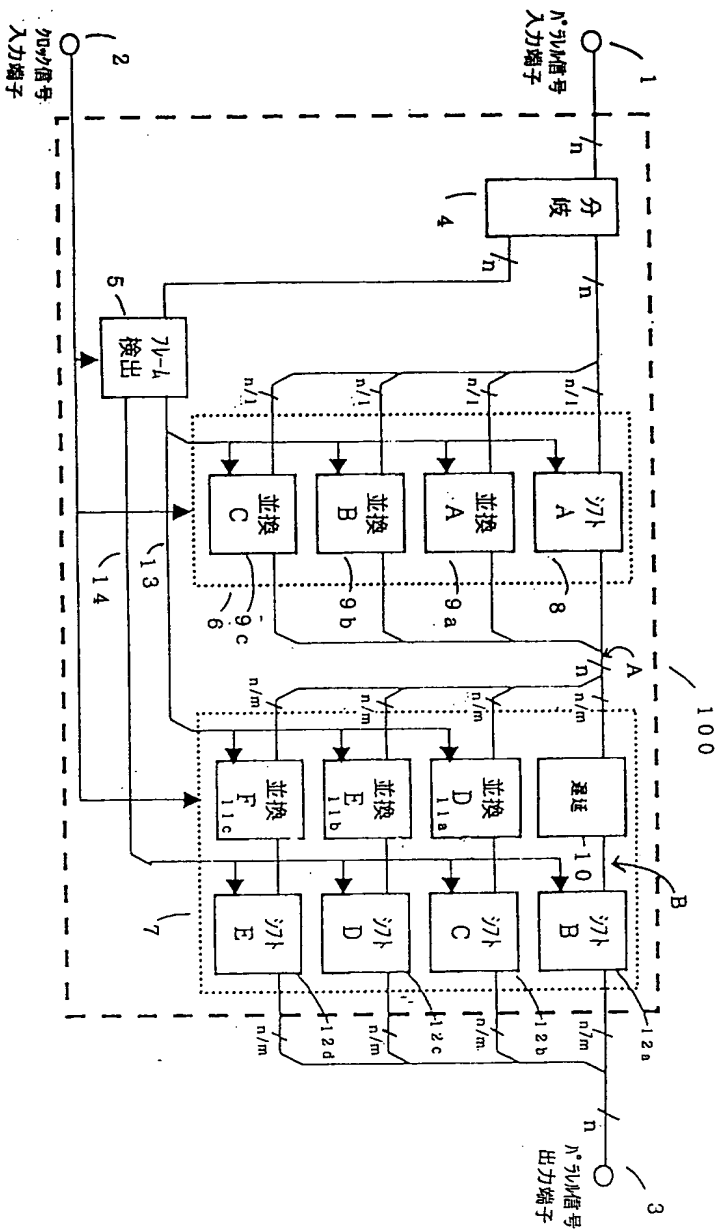
図 1 0 のブロック図において、並び換え回路の動作例を示す真理値表。

【符号の説明】

- 1      パラレル信号入力端子
- 2      クロック入力端子
- 3      パラレル信号出力端子
- 4      分岐回路
- 5      フレーム検出回路
- 6      第一の並び換え部
- 7      第二の並び換え部
- 8      シフト回路 A
- 9 a ~ c      並び換え回路 A ~ C
- 1 0      遅延回路
- 1 1 a ~ c      並び換え回路 D ~ F
- 1 2 a ~ d      シフト回路 A ~ D
- 1 3      フレーム位置信号の下位ビット
- 1 4      フレーム位置信号の上位ビット

【書類名】 図面

【図 1】



【図 2】

シフト回路 A～E の真値表 (並み換え回路、シフト回路の入力が 4 ビットの時)						出力			
D0	D1	D2	D3	SEL	CLK	Q0	Q1	Q2	Q3
A	B	C	D	0	↑	A	B	C	D
A	B	C	D	1	↑	B	C	D	A(+1)
A	B	C	D	2	↑	C	D	A(+1)	B(+1)
A	B	C	D	3	↑	D	A(+1)	B(+1)	C(+1)

【図 3】

並び換え回路 A～C の真理値表 (並び換え回路の入力が 4 ビットの時)

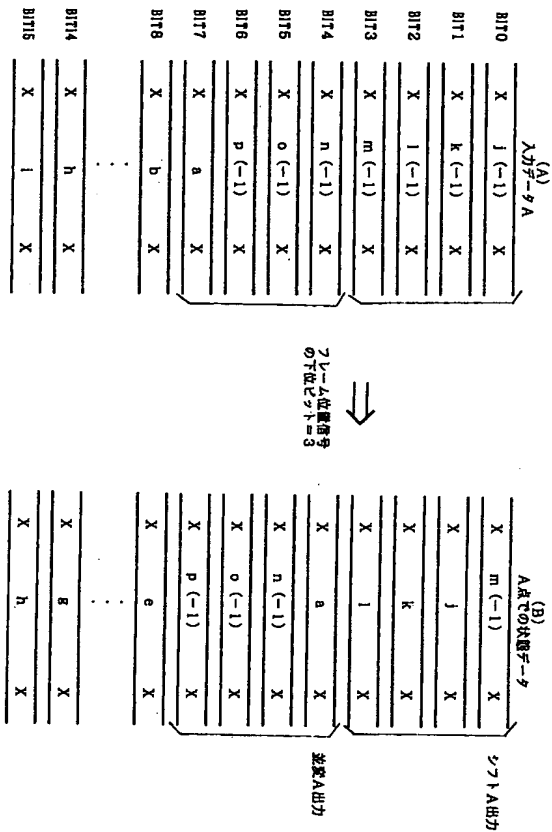
入力						出力			
D0	D1	D2	D3	SEL	CLK	Q0	Q1	Q2	Q3
A	B	C	D	0	↑	A	B	C	D
A	B	C	D	1	↑	B	C	D	A
A	B	C	D	2	↑	C	D	A	B
A	B	C	D	3	↑	D	A	B	C

【図 4】

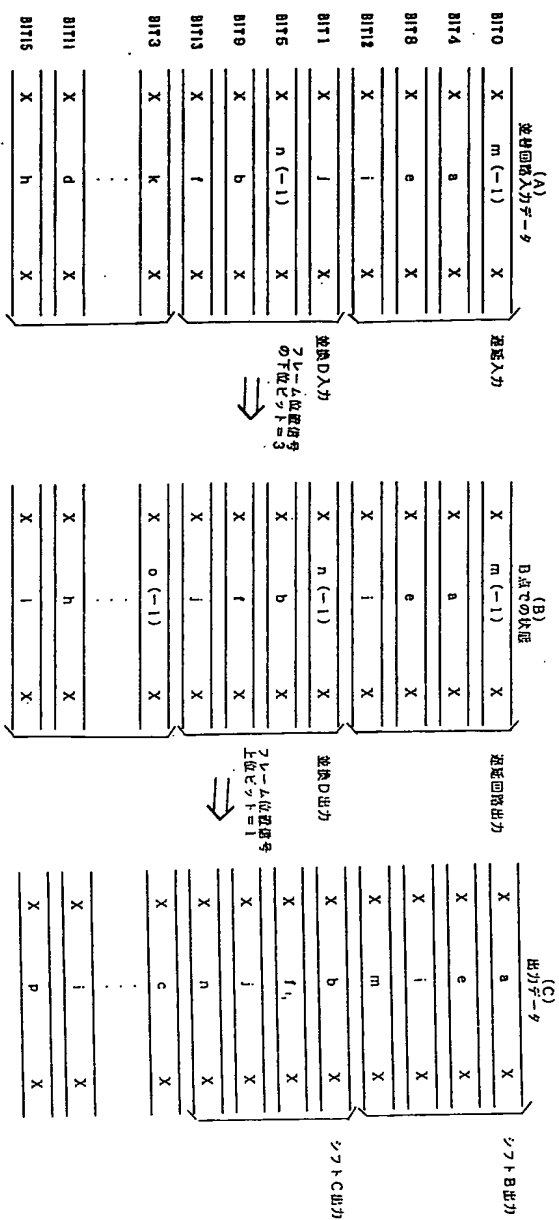
並び換え回路 D～F の真理値表 (1 ビットシフト回路の入力が 4 ビットの時)

入力					出力			
D0	D1	D2	D3	CLK	Q0	Q1	Q2	Q3
A	B	C	D	↑	B	C	D	A

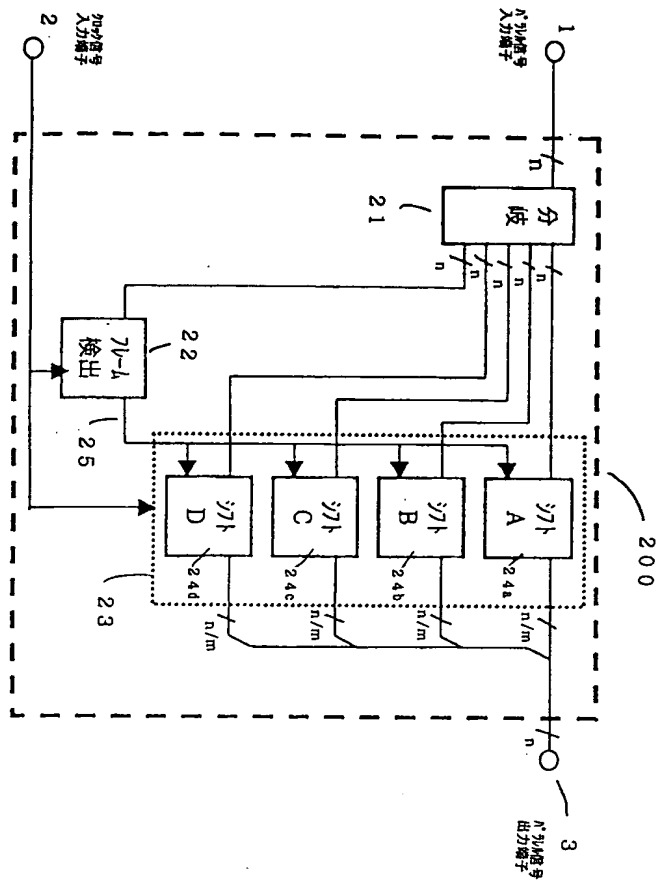
【図 5】



【図 6】



【図 7】



【図 8】

シフト回路 A の真理値表(データ入力が 16 ビット、シフト回路が 4 個構成の時)

入力							出力			
D0	D1	D2	...	D15	SEL	CLK	Q0	Q1	Q2	Q3
A	B	C	...	P	0	↑	A	B	C	D
A	B	C	...	P	1	↑	B	C	D	E
A	B	C	...	P	2	↑	C	D	E	F
A	B	C	...	P	...	↑	...	...	...	...
A	B	C	...	P	15	↑	P	A(+1)	B(+1)	C(+1)

【図 9】

シフト回路 B の真理値表(データ入力が 16 ビット、シフト回路が 4 個構成の時)

入力							出力			
D0	D1	D2	...	D15	SEL	CLK	Q0	Q1	Q2	Q3
A	B	C	...	P	0	↑	E	F	G	H
A	B	C	...	P	1	↑	F	G	H	I
A	B	C	...	P	2	↑	G	H	I	J
A	B	C	...	P	...	↑	...	...	...	...
A	B	C	...	P	15	↑	D(+1)	E(+1)	F(+1)	G(+1)

【図 1 0】

(A)		
データ入力		
BIT0	X	j (-1)
BIT1	X	k (-1)
BIT2	X	l (-1)
BIT3	X	m (-1)
BIT4	X	n (-1)
BIT5	X	o (-1)
BIT6	X	p (-1)
BIT7	X	a
BIT8	X	b
BIT9	X	h
BIT10	X	i

データ出力番号=7  
⇒

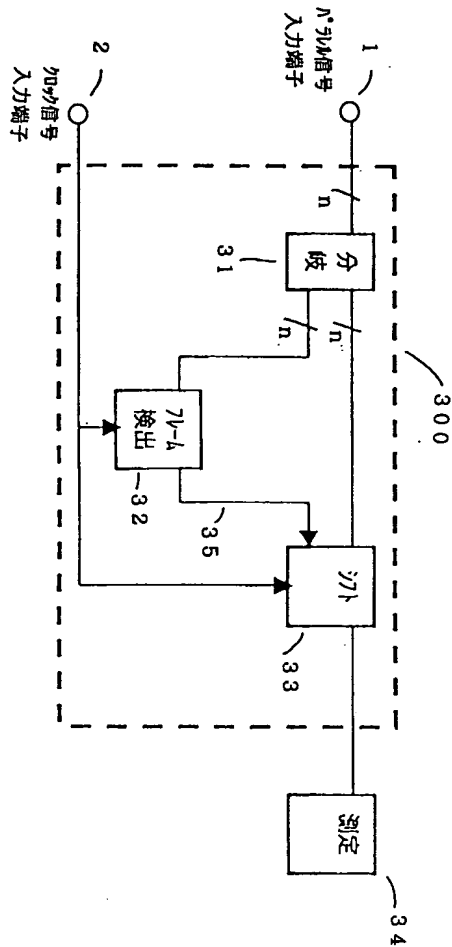
(B)		
データ出力		
X	a	X
X	b	X
X	c	X
X	d	X
X	e	X
X	f	X
X	g	X
X	h	X
X	i	X
X	o	X
X	p	X

データ出力

データ出力



【図 1 1】



【図 1 2】

入力							出力				
D0	D1	D2	...	D15	SEL	CLK	Q0	Q1	Q2	...	Q3
A	B	C	...	P	0	↑	A	B	C	...	P
A	B	C	...	P	1	↑	B	C	D	...	A(+1)
A	B	C	...	P	2	↑	C	D	E	...	B(+1)
A	B	C	...	P	...	↑	...	...	...	...	...
A	B	C	...	P	15	↑	P	A(+1)	B(+1)	...	O(+1)

【書類名】 要約書

【要約】

【課題】 パターン評価装置に入力されるフレーム信号のシリアルーパラレル変換後のパラレル信号を並び替えて、フレームの先頭位置をパラレル信号のBIT 0 の位置に合わせるパターン同期回路において、実装面積が小さく構成することが可能となるパターン同期回路の提供。

【解決手段】 パターン同期回路100に 1 個のシフト回路8と(1-1)個の並び換え回路9a~9cとで構成される第一の並び換え回路6と、 1 個の遅延回路10と(m-1)個の並び換え回路 1 1 a ~ c と m 個の並び換え回路12a~cとで構成される第二の並び換え回路7を備えることにより、入力信号の並び換え動作が行われる。

【選択図】 図 1

認定・付加情報

特許出願の番号	平成11年 特許願 第337871号
受付番号	59901161392
書類名	特許願
担当官	第八担当上席 0097
作成日	平成11年12月 1日

<認定情報・付加情報>

【提出日】	平成11年11月29日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000117744]

1. 変更年月日	1990年 8月10日
[変更理由]	新規登録
住 所	東京都大田区蒲田4丁目19番7号
氏 名	安藤電気株式会社